

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2001-060397

(43)Date of publication of application : 06.03.2001

(51)Int.Cl.

G11C 16/06

(21)Application number : 11-233567

(71)Applicant : NEC IC MICROCOMPUT SYST LTD

(22)Date of filing : 20.08.1999

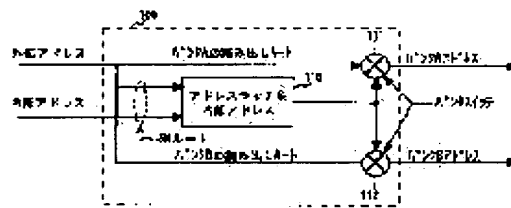
(72)Inventor : MIIKE SHOGO

## (54) SEMICONDUCTOR MEMORY

## (57)Abstract:

PROBLEM TO BE SOLVED: To increase operation speed and to reduce circuit scale by switching an address signal for read-out, an address signal for write-in, or an address signal for erasion for each bank in accordance with read-out operation, write-in operation, or erasing operation for each bank, and outputting it.

SOLUTION: This device has such constitution that a switching section 110 switching a latch address of an external address input and an internal address is collected to one place in an address buffer 100, and read-out routes are separated from read-out routes of banks A, B through the other route. For example, when the bank A reads out and the bank B writes in, in the address buffer 100, a switch 111 outputs an external address as a bank A address based on a bank switch, a switch 112 outputs a latch address outputted from the switching section 110 switching a latch address and an internal address as a bank B address based on the bank switch.



## LEGAL STATUS

[Date of request for examination]

13.07.2000

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開2001-60397

(P2001-60397A)

(43)公開日 平成13年3月6日(2001.3.6)

(51)Int.Cl.<sup>7</sup>

G 1 1 C 16/06

識別記号

F I

G 1 1 C 17/00

テーマコード(参考)

6 3 6 A 5 B 0 2 5

審査請求 有 請求項の数9 O L (全 12 頁)

(21)出願番号 特願平11-233567

(22)出願日 平成11年8月20日(1999.8.20)

(71)出願人 000232036

日本電気アイシーマイコンシステム株式会  
社

神奈川県川崎市中原区小杉町1丁目403番  
53

(72)発明者 三池 祥五

神奈川県川崎市中原区小杉町一丁目403番  
53 日本電気アイシーマイコンシステム株  
式会社内

(74)代理人 100080816

弁理士 加藤 朝道

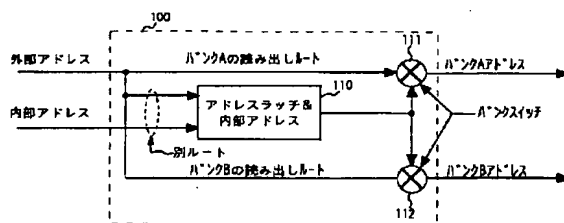
Fターム(参考) 5B025 AD01 AD02 AE05

(54)【発明の名称】 半導体記憶装置

(57)【要約】

【課題】複数バンク構成の不揮発性半導体記憶装置おいて、高速化を図るとともに回路規模を低減するアドレスバッファ回路の提供。

【解決手段】バンクアドレスを供給するアドレスバッファが、外部アドレス入力第1のバンクの読出用のアドレスとして入力される第1のスイッチと、外部アドレス入力第2のバンクの読出用のアドレスとして入力される第2のスイッチと、前記外部アドレス入力書き込み用のアドレスとして、また内部アドレスを消去用のアドレスとして入力するラッチ回路とを備え、前記ラッチ回路から出力されたアドレスは、前記第1、第2のスイッチに供給され、前記第1、第2のスイッチは、バンク毎に、該バンクが読み出し動作、書き込み又は消去動作であるかに応じてバンクスイッチ信号に基づき、読み出し用のアドレスと、書き込み用のアドレス又は消去用のアドレスの一方のうちのいずれかをバンクアドレスとして出力する。



## 【特許請求の範囲】

【請求項 1】アドレス信号を入力とし、バンク毎に設けられたアドレスデコーダに対してそれぞれバンクアドレス信号を供給するアドレスバッファ回路を備えた不揮発性型の半導体記憶装置であって、

前記アドレスバッファ回路が、バンク毎の、読み出し動作と、書き込み動作又は消去動作とに応じて、読み出し用アドレス信号、書き込み用アドレス信号又は消去用アドレス信号をバンク毎に切替えて出力する手段を備えたことを特徴とする半導体記憶装置。

【請求項 2】前記アドレスバッファ回路において、前記書き込み用アドレス信号が、外部から入力されたアドレス信号をラッチ回路でラッチしたラッチアドレスからなり、

前記消去用アドレス信号が、装置内部で生成される内部アドレスからなり、

前記ラッチアドレスと前記内部アドレスの切替え部及び前記ラッチ回路を、複数のバンク間で共有してなる、ことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 3】前記アドレスバッファ回路において、前記読み出しアドレス及び書き込み用アドレス信号が、外部から入力されたアドレス信号をラッチ回路でラッチしたラッチアドレスからなり、

前記消去用アドレス信号が、装置内部で生成される内部アドレスからなり、

前記ラッチアドレスと前記内部アドレスの切替え部及び前記ラッチ回路を、バンク毎に、それぞれ備えたことを特徴とする請求項 1 記載の半導体記憶装置。

【請求項 4】メモリセルアレイを複数のバンクで構成し、前記複数のバンクのうちのバンクで消去又は書き込みが行われている時に、他のバンクからの読み出しを可能とした電氣的に書き込み及び消去可能な不揮発性半導体記憶装置であって、

外部から入力されたアドレスが第 1 のバンクの読み出し用のアドレス信号経路を介して入力される第 1 のスイッチと、

前記外部から入力されたアドレスが第 2 のバンクの読み出し用のアドレス信号経路を介して入力される第 2 のスイッチと、

前記外部から入力されたアドレスを書き込み用のアドレスとして、又は、内部アドレスを消去用のアドレスとして切替えて入力するラッチ回路と、を備え、

前記ラッチ回路から出力されたアドレスは、前記第 1 及び第 2 のスイッチに供給され、

前記第 1 及び第 2 のスイッチは、バンク毎に、各バンクの制御信号に基づき、該バンクが読み出し動作であるか、あるいは、書き込み又は消去動作のいずれであるかに応じて、読み出し用のアドレスと、書き込み用のアドレス又は消去用のアドレスのいずれかをバンクアドレスとして、該バンクのアドレスデコーダに出力するアドレ

スバッファ回路を備えたことを特徴とする不揮発性半導体記憶装置。

【請求項 5】メモリセルアレイを 2 つのバンクで構成し、これら 2 つのバンクのうち、一方のバンクで消去または書き込みが行われている時に、他のバンクからの読み出しを可能とした電氣的に書き込み及び消去可能な不揮発性半導体記憶装置であって、

外部アドレス入力から各バンクに対応したバンクアドレス出力までの経路として、前記外部アドレス入力を読み出し用のアドレスとしてバンク毎にそれぞれ出力する第 1 及び第 2 の信号経路と、

前記外部アドレス入力又は消去用の内部アドレスをラッチ回路でラッチしたラッチアドレスを 1 つにまとめた専用の信号経路と、を備え、

バンクの書き込み又は消去時には、前記専用の信号経路から出力が、前記第 1 の信号経路及び／又は前記第 2 の信号経路の出力端から対応するバンクへのアドレスとして出力される、ことを特徴とする不揮発性半導体記憶装置。

【請求項 6】メモリセルアレイを少なくとも第 1 及び第 2 のバンクで構成し、前記第 1 及び第 2 のバンクのうちのバンクで消去又は書き込みが行われている時に、他のバンクからの読み出しを可能とした電氣的に書き込み及び消去可能な不揮発性半導体記憶装置であって、外部から入力されたアドレスは、第 1 のバンクスイッチ信号に基づき、前記第 1 のバンクの読み出し時にオンとされ、前記第 1 のバンクの書き込み又は消去時にオフに設定される第 1 のスイッチを介して、第 1 のバッファ回路の入力端に接続されるとともに、第 2 のバンクスイッチ信号に基づき、前記第 2 のバンクの読み出し時にオンとされ、前記第 2 のバンクの書き込み又は消去時にオフに設定される第 2 のスイッチを介して第 2 のバッファ回路の入力端に接続され、さらに、

前記外部から入力されたアドレスは、前記第 1 及び第 2 のバンクスイッチ信号に基づき、前記第 1 及び第 2 のバンクがともに読み出し時にオン状態とされる第 3 のスイッチを介してラッチ回路の入力端に接続され、

内部アドレスが、消去制御信号に基づき、バンクの消去動作時にオンとされる第 4 のスイッチを介して前記ラッチ回路の入力端に接続され、

前記ラッチ回路の出力端は、前記第 1 のバンクスイッチ信号に基づき、前記第 1 のバンクの書き込み又は消去時にオンに設定される第 5 のスイッチを介して前記第 1 のバッファ回路の入力端に接続されるとともに、前記第 2 のバンクスイッチ信号に基づき、前記第 2 のバンクの書き込み又は消去時にオンに設定される第 6 のスイッチを介して前記第 2 のバッファ回路の入力端に接続され、

前記第 1 及び第 2 のバッファ回路から、前記第 1 及び第 2 のバンクのアドレスデコーダに対してバンクアドレスをそれぞれ出力する構成とされてなるアドレスバッファ

回路を備えたことを特徴とする、不揮発性半導体記憶装置。

【請求項7】前記第1及び第2のスイッチがクロックドインバータよりなる、ことを特徴とする、請求項6記載の不揮発性半導体記憶装置。

【請求項8】前記第1乃至第6のスイッチがトランスファゲートよりなる、ことを特徴とする、請求項6記載の不揮発性半導体記憶装置。

【請求項9】メモリセルアレイを少なくとも第1、第2のバンクで構成してなる電氣的に書き込み及び消去可能な不揮発性半導体記憶装置であって、外部から入力されたアドレスは、第1のバンクスイッチ信号に基づき、前記第1のバンクの読み出し時のオンとされ、前記第1のバンクの書き込み又は消去時にオフに設定される第1のスイッチを介して第1のラッチ回路の入力端に接続されるとともに、第2のバンクスイッチ信号に基づき、前記第2のバンクの読み出し時のオンとされ、前記第2のバンクの書き込み又は消去時にオフに設定される第2のスイッチを介して第2のラッチ回路の入力端に接続され、

内部アドレスが、消去制御信号に基づき、バンクの消去動作時にオンとされる第3、及び第4のスイッチをそれぞれ介して前記第1及び第2のラッチ回路の入力端にそれぞれ接続され、

前記第1及び第2のラッチ回路の出力端はそれぞれ第1及び第2のバッファ回路の入力端に接続され、

前記第1及び第2のバッファ回路から、前記第1及び第2のバンクのアドレスデコーダにバンクアドレスをそれぞれ出力する構成とされてなるアドレスバッファを備えたことを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、半導体記憶装置に関し、特に、メモリセルアレイが複数のバンクからなる不揮発性半導体装置のアドレスバッファ回路に関する。

【0002】

【従来の技術】電氣的に書き込み及び消去可能な不揮発性記憶装置（EEPROM：Electrically Erasable and Programmable ROM）のうち、セクタ（ブロック）単位に一括消去可能なEEPROMであるフラッシュメモリのメモリセルアレイにおいて、各メモリセルトランジスタはフローティングゲートを有し、コントロールゲートはXデコーダからのワード線に接続され、ドレインはビット線に接続され、Yデコーダでオン・オフ制御されるYスイッチを介して読み出し・書き込み回路に接続されており、同一セクタの複数のメモリセルのソースは共通接続されてソース線制御回路（「ソース線スイッチ」あるいは「ソースデコーダ回路」ともいう）に接続されている。プログラム時には、メモリセルトランジスタのコントロールゲートに所定の高電圧（V<sub>pp</sub>）を印加

し、ドレインに例えば5V程度の電圧を与え、ソースを接地することで、電子をフローティングゲートに注入し、一方、消去時には、メモリセルトランジスタのドレインをオープン、コントロールゲートを接地し、ソースに高電圧（V<sub>pp</sub>）を印加し、フローティングゲート中の電子の引き抜きを行う。また読み出し時には、Xデコーダで選択されたワード線とYデコーダで選択されるYスイッチに接続するビット線との交差するメモリセルがアクセスされ、その閾値電圧に応じてビット線に流れる電流に応じて読み出し回路でその値を読み出す。

【0003】従来のフラッシュメモリにおいては、一般的に、メモリセルアレイを複数のバンクに分ける構成とされていない。このため、Xデコーダ回路、Yデコーダ回路、及びソース線制御回路へそれぞれアドレス信号を供給するアドレスバッファは、例えば図10に示すように、外部アドレス入力が直接デコーダ側へ出力される構成とされている。

【0004】すなわち外部アドレス信号は、初段回路301に入力され、ラッチ制御信号でオン・オフ制御されるトランスファゲートTG2を介してラッチ回路302に入力され、また内部アドレスは消去フラグが活性化されたときオンするトランスファゲートTG1を介してラッチ回路302に入力され、ラッチ回路302の出力は反転バッファINV3を介してアドレスバッファ出力信号として不図示のアドレスデコーダに供給される。ラッチ回路302は、入力端と出力端が互いに接続されたインバータINV1とインバータINV2とから構成されている。このうちインバータINV1はラッチ制御信号でオン・オフ制御されるクロックドインバータよりなる。初段回路301において、スタンバイ制御信号が活性化された場合、外部アドレスの入力レベルに依存せず初段回路301の電流をオフさせる。

【0005】書き込み及び読み出し時には、ラッチ制御信号が活性化され、外部アドレス入力がラッチ回路302でラッチされ、不図示のデコーダ回路にアドレス信号として出力される。消去動作はチップ内部で自動的に行われ、チップ内部で生成された内部アドレスは、消去フラグオン時のオン状態とされるトランスファゲートTG1を介してラッチ回路302に入力され、ソース線制御回路に入力され、各セクタの消去動作が行われる。

【0006】

【発明が解決しようとする課題】このような構成のアドレスバッファを備えたフラッシュメモリにおいて、メモリセルへの書き込みや消去中の読み出しの同時実行を行うことはできない。

【0007】また複数のバンクに分割されたメモリセル構成とする半導体記憶装置が開発・製品化されているが、この場合、バンク毎のアドレス制御を行うことが必要とされ、回路規模が増大する、という問題点を有している。そして、フラッシュメモリにバンク構成を適用し

た場合にも同様な問題点を有することになる。

【0008】たとえば特開平11-86576号公報には、メモリセルアレイを2分割し、各メモリセルアレイ（メモリセルブロック）に対してそれぞれに専用の読み出し回路を備え、分割された一方のメモリセルアレイに対して消去動作（消去あるいは書き込み動作）を行っている場合でも、他方のメモリセルアレイに対して読み出しあるいは書き込み動作を行うことができる同時動作（デュアルオペレーション）機能を有するフラッシュメモリの構成が開示されている。このデュアルオペレーション機能対応のフラッシュメモリは、デュアルオペレーション非対応のフラッシュメモリと比べて、2つのメモリセルアレイに対応する第1、第2の読み出し回路、アドレス判定回路、第1、第2の読み出し回路の出力を入力とし出力を出力バッファ回路に接続する第1のマルチプレクサ、第1、第2の読み出し回路の出力を入力とし出力を書き込み／消去判定回路に出力する第2のマルチプレクサを備えている。そして上記特開平11-86576号公報には、デュアルオペレーション機能を有するフラッシュメモリにおいて、回路の複雑化やチップ面積の増大を伴うことなく、分割されるメモリセルブロックのビット構成を可変にすることを可能としたフラッシュメモリの構成が提案されている。

【0009】上記特開平11-86576号公報に記載されるデュアルオペレーション機能を有するフラッシュメモリにおいて、デコーダ回路にアドレス信号を供給するアドレスバッファ回路においてアドレス切替を行うことに関する考慮・工夫はいっさい開示されていない。

【0010】また例えば特開平5-54682号公報には、メモリセルアレイの異なったブロックに対し、消去動作及び読み出し動作を同時にもしくは並行して行うことを可能とした不揮発性半導体メモリの構成が提案されている。しかしながら、上記特開平5-54682号公報にも、アドレス信号を入力とするアドレスレジスタ側でブロックの切替を行うという工夫はいっさい開示されていない。

【0011】したがって、本発明は、上記問題点に鑑みてなされたものであって、その目的は、複数バンク構成のフラッシュメモリ等の不揮発性の半導体装置において、高速化を図るとともに回路規模を低減するアドレスバッファ回路を提供することにある。

【0012】

【課題を解決するための手段】前記目的を達成する本発明は、アドレス信号を入力とし、バンク毎に設けられたアドレスデコーダに対してそれぞれバンクアドレス信号を供給するアドレスバッファ回路を備えた不揮発性型の半導体記憶装置であって、前記アドレスバッファ回路が、バンク毎の、読み出し動作と、書き込み動作又は消去動作とに応じて、読み出し用アドレス信号、書き込み用アドレス信号又は消去用アドレス信号をバンク毎に切

替えて出力する手段を備えている。

【0013】本発明は、前記アドレスバッファ回路において、前記書き込み用アドレス信号が外部から入力されたアドレス信号をラッチした信号からなり、前記消去用アドレス信号が装置内部で生成された内部アドレスからなり、前記外部から入力されたアドレス信号又は前記内部アドレスをラッチするラッチ回路を複数のバンク間で共有してなる構成とされる。

【0014】本発明においては、メモリセルアレイを複数のバンクで構成し、前記複数のバンクのうちのバンクで消去又は書き込みが行われている時に、他のバンクからの読み出しを可能とした電氣的に書き込み及び消去可能な不揮発性型の半導体記憶装置であって、外部から入力されたアドレスが第1のバンクの読み出し用のアドレス信号経路を介して入力される第1のスイッチと、前記外部から入力されたアドレスが第2のバンクの読み出し用のアドレス信号経路を介して入力される第2のスイッチと、前記外部から入力されたアドレスを書き込み用のアドレスとして、又は、内部アドレスを消去用のアドレスとして入力するラッチ回路と、を備え、前記ラッチ回路から出力されたアドレスは、前記第1及び第2のスイッチに供給され、前記第1及び第2のスイッチは、バンク毎に、各バンクの制御信号に基づき、該バンクが読み出し動作であるか、あるいは、書き込み又は消去動作のいずれであるかに応じて、読み出し用のアドレスと、書き込み用のアドレス又は消去用のアドレスのいずれかをバンクアドレスとして、該バンクのアドレスデコーダに出力するアドレスバッファ回路を備えている。

【0015】また本発明は、アドレスバッファ回路が、前記消去用アドレス信号が装置内部で生成された内部アドレスからなり、前記外部から入力されたアドレス信号又は前記内部アドレスを切替えてラッチするラッチ回路をバンク毎にそれぞれ備えた構成としてもよい。

【0016】

【発明の実施の形態】本発明の実施の形態について説明する。本発明は、フラッシュメモリのメモリセルアレイを2つのバンクで構成し、これら2つのバンクのうち、1つのバンクで消去または書き込みが行われている時に、他のバンクからの読み出し可能な半導体記憶装置のアドレスバッファ回路において、外部アドレス入力から各バンクに対応したバンクアドレス出力までを、読み出し用の各バンク毎の信号経路と、書き込み用のラッチアドレスと消去用の内部アドレスを1つにまとめた専用の経路と、を備えたものである。

【0017】本発明の不揮発性半導体記憶装置は、その好ましい一実施の形態において、図1を参照すると、メモリセル領域は、バンクAとバンクBの2つのバンクに分割されており、各バンクのメモリセル（memory cells）101A、101Bはそれぞれアドレス情報を基にデコーダ102A、102Bを介して選択される。各バ

バンクA、Bのメモリセル101A、101Bから読み出されたデータはスイッチ103を介して、バンクスイッチ(Bank Switch)の選択情報に基づき、読み出しが選択されているバンクのメモリセルから読み出されたデータを外部に出力する。

【0018】読み出し、書き込み、及び消去について、バンクAとバンクBにおける同時実行の組み合わせとして、例えば表1に示すように、5種類の組み合わせがある。

【0019】

【表1】

No.	バンクAの状態	バンクBの状態
1	読み出し	書き込み
2	読み出し	消去
3	書き込み	読み出し
4	消去	読み出し
5	消去	消去

【0020】このようなバンクの読み出し、書き込み、消去の同時実行の組み合わせに対して、アドレス信号A<sub>0</sub>～A<sub>7</sub>をそれぞれ入力とするアドレスバッファ(adbuff)100は、バンクスイッチ(Bank Switch)により、各バンクA、Bのデコーダ102A、102BへそれぞれバンクAアドレス、バンクBアドレスを出力する。

【0021】このアドレスバッファ100からの出力(バンクAアドレス、バンクBアドレス)には、表1に示した同時実行の組み合わせパターンに応じて、3つのアドレス情報、すなわち外部アドレス、ラッチアドレス、内部アドレスを区分して出力させており、  
・外部アドレス=読み出し、  
・ラッチアドレス=書き込み、  
・内部アドレス=消去  
にそれぞれ対応させている。

【0022】表1に示した同時実行の組み合わせと3つのアドレス情報の対応は、表2のような動作を実行する。

【0023】

【表2】

No.	バンクAアドレス	バンクBアドレス
1	外部アドレス	ラッチアドレス
2	外部アドレス	内部アドレス
3	ラッチアドレス	外部アドレス
4	内部アドレス	外部アドレス
5	内部アドレス	内部アドレス

【0024】図2は、本発明の一実施の形態におけるアドレスバッファ10の構成の一例を示す図である。図2

を参照すると、本発明の一実施の形態において、アドレスバッファ(100)は、外部から入力されたアドレスが第1のバンクの読み出し用のアドレスとして入力される第1のスイッチ(111)と、外部から入力されたアドレスが第2のバンクの読み出し用のアドレスとして入力される第2のスイッチ(112)と、外部から入力されたアドレスを書き込み用のアドレスとして、また内部アドレスを消去用のアドレスとして入力するラッチ部(110)と、を備え、ラッチ部(110)からの出力

10

は、第1、第2のスイッチ(111、112)に供給され、第1、第2のスイッチ(111、112)では、バンク毎に、該バンクが読み出し動作、書き込み又は消去動作であるかに応じてバンクスイッチ信号に基づき、読み出し用のアドレスと、書き込み用のアドレス又は消去用のアドレスの一方のうちのいずれかをバンクアドレスとして、該バンクのアドレスデコーダに出力する。

【0025】すなわち外部アドレスは、バンクAの読み出し経路と、バンクBの読み出し経路としてスイッチ(111、112)の一方の入力端にそれぞれ入力されるとともに、外部アドレスのラッチアドレス又は内部アドレスとを切替える切替部(110)を備え、切替部(110)の出力はスイッチ(111、112)の他の入力端にそれぞれ入力され、スイッチ(111、112)は、一方の入力端から入力された外部アドレスと、他の入力端から入力されたラッチアドレス又は内部アドレスのうちのいずれかを、バンクスイッチで選択してバンクAアドレス、バンクBアドレスとして出力する。なお、内部アドレスは、外部端子から入力される外部アドレスとは相違して、チップ内でカウンタ等により内部で生成されるアドレス信号である。

30

【0026】このように、本発明の一実施の形態においては、外部アドレス入力のラッチアドレスと内部アドレスを切り替える切替部(110)をアドレスバッファ(100)内で共通して1箇所にとり、バンクA、Bの読み出しのルートとは、別のルートを介して分けた構成としており、回路規模を縮減し、且つ、簡易な構成のアドレスバッファにて、バンク切り替えが可能であり、アドレスバッファから各バンク向けにバンクアドレスを出力することができるため、メモリセル選択時のアクセスを高速化する。

40

【0027】図2を参照すると、バンクAが読み出し、バンクBが書き込みのときは、アドレスバッファ(100)において、スイッチ(111)は、バンクスイッチに基づき、外部アドレスをバンクAアドレスとして出力し、スイッチ(112)は、バンクスイッチに基づき、ラッチアドレスと内部アドレスを切替える切替部(110)から出力されるラッチアドレスをバンクBアドレスとして出力する。

【0028】バンクAが読み出し、バンクBが消去のときは、アドレスバッファ(100)において、スイッチ

50

(111)は、バンクスイッチに基づき、外部アドレスをバンクAアドレスとして出力し、スイッチ(112)は、バンクスイッチに基づき、ラッチアドレスと内部アドレスを切替える切替部(110)から出力される内部アドレスをバンクBアドレスとして出力する。

【0029】バンクAが書き込み、バンクBが読み出しのときは、アドレスバッファ(100)において、スイッチ(111)は、バンクスイッチに基づき、ラッチアドレスと内部アドレスを切替える切替部(110)から出力されるラッチアドレスをバンクAアドレスとして出力し、スイッチ(112)は、バンクスイッチに基づき、外部アドレスをバンクBアドレスとして出力する。

【0030】バンクAが消去、バンクBが読み出しのときは、アドレスバッファ(100)において、スイッチ(111)は、バンクスイッチに基づき、ラッチアドレスと内部アドレスを切替える切替部(110)から出力される内部アドレスをバンクAアドレスとして出力し、スイッチ(112)は、バンクスイッチに基づき、外部アドレスをバンクBアドレスとして出力する。

【0031】バンクAが消去、バンクBが消去のときは、アドレスバッファ(100)において、スイッチ(111)は、バンクスイッチに基づき、ラッチアドレスと内部アドレスを切替える切替部(110)から出力される内部アドレスをバンクAアドレスとして出力し、スイッチ(112)は、バンクスイッチに基づき、ラッチアドレスと内部アドレスを切替える切替部(110)から出力される内部アドレスをバンクBアドレスとして出力する。

【0032】本発明の一実施の形態において、アドレスバッファ回路は、外部から入力されたアドレスは、第1のバンクスイッチ信号(Bank Switch A)の値に基づき、第1のバンクの読み出し時のオンとされ、第1のバンクの書き込み又は消去時にオフに設定される第1のスイッチ(CINV1)を介して第1のバッファ回路(INV2)の入力端に接続され、前記外部から入力されたアドレスが第2のバンクスイッチ信号(Bank Switch A)により、第2のバンクの読み出し時のオンとされ、前記第2のバンクの書き込み又は消去時にオフに設定される第2のスイッチ(CINV2)を介して第2のバッファ回路(INV3)の入力端に接続され、外部から入力されたアドレスは、第1及び第2のバンクスイッチ信号(Bank Switch A、Bank Switch B)の値により、第1及び第2のバンクがともに読み出し時にオン状態とされる第3のスイッチ(TG2)を介してラッチ回路(302)の入力端に接続され、さらに、内部アドレスが消去制御信号(Erase)に基づき、バンクの消去動作時にオンとされる第4のスイッチ(TG1)を介してラッチ回路(302)の入力端に接続され、ラッチ回路(302)の出力端は、第1のバンクスイッチ信号(Bank Switch A)により、第1のバンクの書き込み又は消去時

にオンに設定される第5のスイッチ(TG3)を介して第1のバッファ回路(INV2)の入力端に接続されるとともに、第2のバンクスイッチ信号(Bank Switch B)により、第2のバンクの書き込み又は消去時にオンに設定される第6のスイッチ(TG4)を介して第2のバッファ回路(INV3)の入力端に接続され、第1及び第2のバンクのアドレスデコーダにバンクアドレスがそれぞれ供給される。

【0033】本発明は、別の実施の形態において、アドレスバッファは、外部から入力されたアドレスが第1のバンクスイッチ信号(Bank Switch A)により、第1のバンクの読み出し時のオンとされ、第1のバンクの書き込み又は消去時にオフに設定される第1のスイッチ(TG2)を介して第1のラッチ回路(302A)の入力端に接続され、前記外部から入力されたアドレスが第2のバンクスイッチ信号により、第2のバンクの読み出し時のオンとされ、前記第2のバンクの書き込み又は消去時にオフに設定される第2のスイッチ(TG3)を介して第2のラッチ回路(302B)の入力端に接続され、内部アドレスが、消去制御信号に基づき、バンクの消去動作時にオンとされる第3、第4のスイッチ(TG1、TG4)を介して第1及び第2のラッチ回路(302A、302B)の入力端にそれぞれ接続され、第1及び第2のラッチ回路(302A、302B)の出力端はそれぞれ第1及び第2のバッファ回路(BUF1、BUF2)の入力端に接続され、第1及び第2のバンクのアドレスデコーダに対してバンクアドレスがそれぞれ供給される。この実施の形態によれば、一方のバンクで書き込み動作時に他のバンクで消去動作を行うことができる。

【0034】

【実施例】上記した本発明の実施の形態についてさらに詳細に説明すべく、本発明の実施例について図面を参照して説明する。

【0035】図3は、本発明の一実施例をなすバンク切り替え可能なアドレスバッファ回路の構成を示す図である。なお、図3に示したアドレスバッファ回路は、図1において、各アドレス信号A<sub>0</sub>～A<sub>n</sub>をそれぞれ入力とするアドレスバッファ(adbuf)に対応する。

【0036】図3を参照すると、本発明の一実施例におけるアドレスバッファ回路において、外部アドレスを入力する初段回路301は、スタンバイ時に電流を抑制するためのスタンバイ制御信号が活性化された場合、アドレスの入力レベルに依存せず、初段回路301の電流をオフさせる。

【0037】初段回路301の出力は、バンクA、バンクB、ラッチ回路302の3方向に分岐入力される。すなわち、初段回路301の出力は、クロックドインバー



タCINV1を介して反転型のバッファINV2の入力端に接続されるとともに、インバータINV1とトランスファゲートTG2とを介してラッチ回路302の入力端に接続され、さらにクロックドインバータCINV2を介して反転型のバッファINV3の入力端に接続される。

【0038】クロックドインバータは、図9(a)に示したように、高電位側電源VDDと低電位側電源VSS間に直列に接続されたPチャネルMOSトランジスタPM2と、ゲートが入力端子に共通接続されドレインが出力端子に共通接続されたPチャネルMOSトランジスタPM1とNチャネルMOSトランジスタNM1よりなるCMOSインバータと、NチャネルMOSトランジスタNM2とからなり、PチャネルMOSトランジスタPM2、NチャネルMOSトランジスタNM2のゲートに相補の制御信号φ、φ<sup>-</sup>が入力され、クロックドインバータは制御信号φがLowレベルのときオン、φがHighレベルのときオフする。

【0039】図3において、クロックドインバータは、図9(b)に示す記法に従い、図9(a)のPチャネルMOSトランジスタPM2のゲートに入力される制御信号のみが示されており、NチャネルMOSトランジスタNM2へ入力される相補の制御信号は省略されている。

【0040】すなわち図3を参照すると、クロックドインバータCINV1において、PチャネルMOSトランジスタPM2のゲートには、バンクスイッチAをインバータINV6で反転した信号が接続され、NチャネルMOSトランジスタNM2のゲートには、PチャネルMOSトランジスタPM1のゲートに入力される信号の相補信号(バンクスイッチAと同一の論理の信号)が入力され、クロックドインバータCINV1は、バンクAの読み出し時、すなわちバンクスイッチAが非活性(Highレベル)のときオン状態とされ、バンクスイッチAが活性状態(Lowレベル)のときオフとされる。

【0041】クロックドインバータCINV2のPチャネルMOSトランジスタPM2のゲートには、バンクスイッチBをインバータINV7で反転した信号が接続され、NチャネルMOSトランジスタNM2のゲートには、PチャネルMOSトランジスタPM2のゲートに入力される信号の相補信号(バンクスイッチBと同一の論理の信号)が入力され、クロックドインバータCINV2は、バンクBの読み出し時、すなわちバンクスイッチBが非活性(Highレベル)のときオン状態とされ、バンクスイッチBが活性状態(Lowレベル)のときオフとされる。

【0042】トランスファゲートTG2は、並列接続されたPチャネルMOSトランジスタとNチャネルMOSトランジスタよりなり、バンクスイッチAをインバータINV6で反転した信号とバンクスイッチBをインバータINV7で反転した信号とを入力としこれらの否定論

理和を出力するNOR回路の出力が、バンクスイッチ(Bank Switch)として、トランスファゲートTG2のNチャネルMOSトランジスタのゲートに入力され、NOR回路の出力を不図示のインバータで反転した信号が、トランスファゲートTG2のPチャネルMOSトランジスタのゲートに接続され、バンクスイッチA、Bがともに非活性(Highレベル)のとき(バンクA、Bがともに読み出し動作)、NOR回路の出力はHighレベルとなり、トランスファゲートTG2はオン状態とされ、これ以外の場合、トランスファゲートTG2はオフ状態とされる。

【0043】反転バッファINV2、INV3の出力はそれぞれバンクAアドレス、バンクBアドレスとして各バンクのデコーダ(図1の102A、102B)に供給される。

【0044】ラッチ回路302の出力端は、トランスファゲートTG3、TG4を介して反転バッファINV4、INV5に入力端に接続されている。

【0045】トランスファゲートTG3を構成するNチャネルMOSトランジスタとPチャネルMOSトランジスタのゲートには、バンクスイッチAをインバータINV6で反転した信号とその反転信号が入力され、バンクスイッチAが活性化(Lowレベル)のときオンする。

【0046】トランスファゲートTG4を構成するNチャネルMOSトランジスタとPチャネルMOSトランジスタのゲートには、バンクスイッチBをインバータINV7で反転した信号とその反転信号が入力され、バンクスイッチBが活性化(Lowレベル)のときオンする。

【0047】内部アドレス信号は、トランスファゲートTG1を介してラッチ回路302の入力端に入力される。

【0048】トランスファゲートTG1を構成するNチャネルMOSトランジスタとPチャネルMOSトランジスタのゲートには、消去信号(Erase)とその相補信号がそれぞれ入力され、消去信号が活性化状態(Highレベル)のときオンする。

【0049】図3において、トランスファゲート(CMOS型トランスファゲート)TG1~TG4への制御信号は、トランスファゲートのNチャネルMOSトランジスタのゲートに入力される制御信号だけが示されており、トランスファゲートのPチャネルMOSトランジスタのゲートに、該制御信号をインバータで反転した相補信号を入力する接続構成は省略されている。

【0050】読み出し時のルートとしては、バンクA側には、オン状態とされたクロックドインバータCINV1の出力が反転バッファINV2からバンクAアドレスとして出力され、バンクB側の読み出しでは、オン状態とされたクロックドインバータCINV2の出力が反転バッファINV3からバンクBアドレスとして出力される。

【0051】バンクA側に、外部アドレスのラッチアドレス又は内部アドレスを出力する場合、クロックドインバタCINV1はオフとされ、トランスファゲートTG3がオンとされ、バンクB側に、外部アドレスのラッチアドレス又は内部アドレスを出力する場合、クロックドインバタCINV2はオフとされ、トランスファゲートTG4がオンとされる。

【0052】ラッチ回路302の出力ノードであるラインdは、入力した外部アドレスのラッチアドレスと内部アドレスをまとめたルートであり、書き込みや消去の時に、バンクスイッチAとバンクスイッチBによって出力の切り替えを行う。

【0053】バンクAアドレス、バンクBアドレスは、それぞれ各バンクの各デコーダに供給され、書き込みや消去と読み出しの同時実行機能として、各々のバンクで別々の制御が可能となる。

【0054】図4は、図3のラッチ回路302と、内部アドレスを入力するトランスファゲートTG1の構成を示す図である。ラッチ回路302は、入力と出力が接続されたインバタINV6、INV7からなるフリップフロップとして構成されており、インバタINV7の出力を入力とするインバタINV8を備え、内部アドレスを入力とするトランスファゲートTG1には、消去信号と消去信号をインバタINV9で反転した信号とがNチャネルMOSトランジスタのゲートとPチャネルMOSトランジスタのゲートにそれぞれ入力されており、消去信号がハイレベルのときトランスファゲートTG1はオンし、内部アドレスがラッチ回路302に供給される。

【0055】図2のノードc、dでは、書き込みの時のアドレスラッチと消去の時の内部アドレスの切り替えを行っており、書き込みのときには、バンクスイッチ(BankSwitch)が活性化され、すなわちNOR回路の出力はLowレベルとなり、トランスファゲートTG2がオフし、外部のアドレスをラッチ回路302でラッチしたラッチアドレスがラインdに出力される。

【0056】消去のときには、NOR回路の出力であるバンクスイッチ(Bank Switch)はLowレベルとなり、消去(Erase)フラグが活性化され(Highレベル)、トランスファゲートTG2がオフし、トランスファゲートTG1がオンし、内部アドレスをラッチ回路302でラッチしたアドレスがラインdに出力される。

【0057】図5は、本発明の一実施例の動作について説明するためのタイミング図であり、バンクAを書き込み(バンクスイッチAをLowレベル)、バンクBを読み出し(バンクスイッチBをHighレベル)とした同時実行動作が示されている。図3及び図5を参照して本発明の一実施例における書き込みと読み出しの同時実行の動作について説明する。なお、書き込みフラグは、各バ

ンク毎の書き込みを制御するための入力される信号である。

【0058】はじめにバンクスイッチA、Bがともに非活性状態(Highレベル)とされており、バンクスイッチA、Bの反転信号を入力とするNOR回路の出力であるバンクスイッチ(Bank Switch)はHighレベルとなり、トランスファゲートTG2はオン状態とされ、またトランスファゲートTG1はオフ状態とされ、初段回路301からの外部アドレス入力が入力されラッチされる。

【0059】つづいて書き込みフラグの活性化により、書き込みを行うバンクA側のバンクスイッチAを活性化し(Lowレベルとする)、クロックドインバタCINV1がオフとされ、トランスファゲートTG3がオンし、バンクAの出力として、ラッチ回路302でラッチしたラッチアドレスがトランスファゲートTG3を介して反転バッファINV2から出力され、バンクBの出力としては外部アドレスをそのまま出力する。

【0060】バンクAアドレスとして、書き込みフラグが活性化された時のラッチアドレス「YYY」が出力され、バンクBアドレスとしては外部アドレスと同じコードが出力される。

【0061】図6は、バンクAの消去とバンクBの読み出しの同時実行の動作を示すタイミング図である。消去フラグの活性化により、消去を行うバンクA側のバンクスイッチAを活性化し(Lowレベル)、トランスファゲートTG2はオフし、オン状態のトランスファゲートTG1を介してラッチ回路302に内部アドレスが入力され、また、消去フラグの活性化により、バンクA側のバンクスイッチAが活性化され(Lowレベルとなる)、トランスファゲートTG3がオンして、ラッチ回路302からの内部アドレスがトランスファゲートTG3を介して反転バッファINV2に供給され、バンクAの出力として内部アドレスが出力され、一方、バンクBの出力としては、クロックドインバタCINV2を介して外部アドレスがそのまま出力される。すなわち、バンクAアドレスには、消去フラグの活性化時以降の、内部アドレスである「 $\alpha\alpha\alpha$ 」、「 $\beta\beta\beta$ 」が出力され、バンクBアドレスには、外部アドレスと同じコードが出力される。

【0062】次に本発明の第2の実施例について説明する。図7は、本発明の第2の実施例の構成を示す図である。図7において、図3と同一の要素には同一の参照符号が付されている。図7を参照すると、本発明の第2の実施例においては、クロックドインバタCINV1、CINV2の代わりに、CMOS型のトランスファゲートTG5、TG6を用いている。あるいはCMOS型のトランスファゲートTG5、TG6の代わりに、NチャネルMOSトランジスタによるスイッチとしてもよい。

【0063】次に本発明の第3の実施例について説明する。上記各実施例では、2バンクアドレスの同時実行制御する構成において、外部アドレスのラッチと内部アドレスの切り替え箇所を1個所にまとめることにより、出力までの高速アクセスと回路規模の縮減を図るものであるが、バンク毎のアドレス同時実行制御を実現することによっても同様の効果を得ることができる。

【0064】図8は、本発明の第3の実施例の構成を示す図である。図8を参照すると、外部アドレスを入力とする初段回路301の出力は、バンクスイッチAでオン・オフ制御されるトランスファゲートTG2を介してラッチ回路302Aの入力端に接続されるとともに、バンクスイッチBでオン・オフ制御されるトランスファゲートTG3を介してラッチ回路302Bの入力端に接続され、内部アドレスは消去フラグでオン・オフ制御されるトランスファゲートTG1、TG4を介してラッチ回路302A、302Bの入力端にそれぞれ接続されており、ラッチ回路302A、302Bの出力は、バッファBUF1、BUF2を介してバンクAアドレス、バンクBアドレスとしてバンクA、Bのデコーダにそれぞれ供給される。本発明の第3の実施例においては、バンク毎に、外部アドレスのラッチ部と内部アドレスのラッチ回路及びその切り替え部を備えている。このため、2バンクに別々のアドレスをラッチさせることができ、書き込みや消去中の読み出しという動作が実現される。

【0065】また本発明の第3の実施例では、2バンクに別々のアドレスをラッチさせたり、別々の内部アドレスを出力させることができるため、書き込みと消去の同時実行も実現可能である。

【0066】

【発明の効果】以上説明したように、本発明によれば、下記記載の効果を奏する。

【0067】本発明の第1の効果は、外部アドレスとラッチアドレスと内部アドレスの3つのアドレス情報について、バンク毎に出力の切り分けを行う際に、ラッチアドレスと内部アドレスを1つのルートにまとめたことにより、読み出しルートの負荷を軽減することができ、アドレスの出力段までの回路の段数を縮減し、アクセスの高速化を図ることができる、ということである。

【0068】本発明の第2の効果は、内部アドレスと外部アドレスのラッチの切り替え部を各バンク毎に2箇所置くのではなく、2バンクに共通に配置することで、回路規模を縮減することができる、ということである。

【0069】本発明の第3の効果は、バンク毎に、外部アドレスのラッチ部と内部アドレスのラッチ部及び切り替え部をそれぞれ備えたことにより、バンク毎に別々のアドレスをラッチさせることができ、このため、書き込みや消去中の読み出し、及び書き込みと消去のバンク間での同時実行を行うことができる、ということである。

【図面の簡単な説明】

【図1】本発明の一実施の形態の構成を示す図である。

【図2】本発明の一実施の形態におけるアドレスバッファの構成を示す図である。

【図3】本発明の一実施例をなすアドレスバッファ回路の構成を示す図である。

【図4】本発明の一実施例におけるアドレスバッファ回路のラッチ回路周辺の構成を示す図である。

【図5】本発明の一実施例の動作を説明するためのタイミング図である。

【図6】本発明の一実施例の動作を説明するためのタイミング図である。

【図7】本発明の別の実施例をなすアドレスバッファ回路の構成を示す図である。

【図8】本発明のさらに別の実施例をなすアドレスバッファ回路の構成を示す図である。

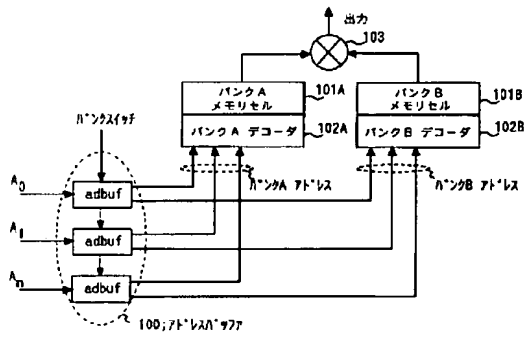
【図9】クロックドインバータの構成を示す図である。

【図10】従来のアドレスバッファの構成を示す図である。

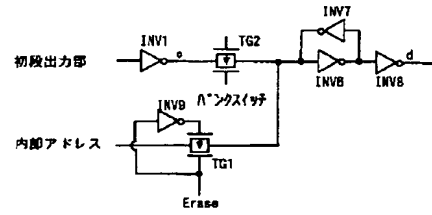
【符号の説明】

100 アドレスバッファ  
101A バンクAメモリセル（メモリセルアレイ部）  
101B バンクBメモリセル（メモリセルアレイ部）  
102A バンクAデコーダ  
102B バンクBデコーダ  
103 スイッチ  
110 アドレスラッチ及び内部アドレス切替部  
111、112 スイッチ  
301 初段回路  
302、302A、302B、ラッチ回路  
A0、A1、…、An アドレス信号  
BUF1、BUF2 バッファ  
CINV1、CINV2 クロックドインバータ  
INV1～INV9 インバータ  
TG1、TG2、TG3、TG4、TG5 トランスファゲート

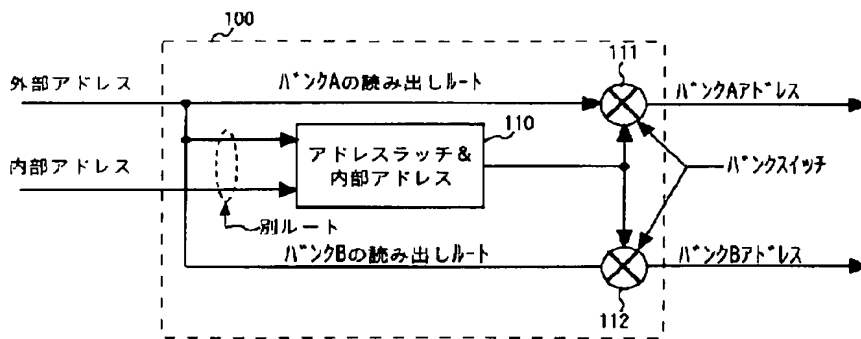
【図1】



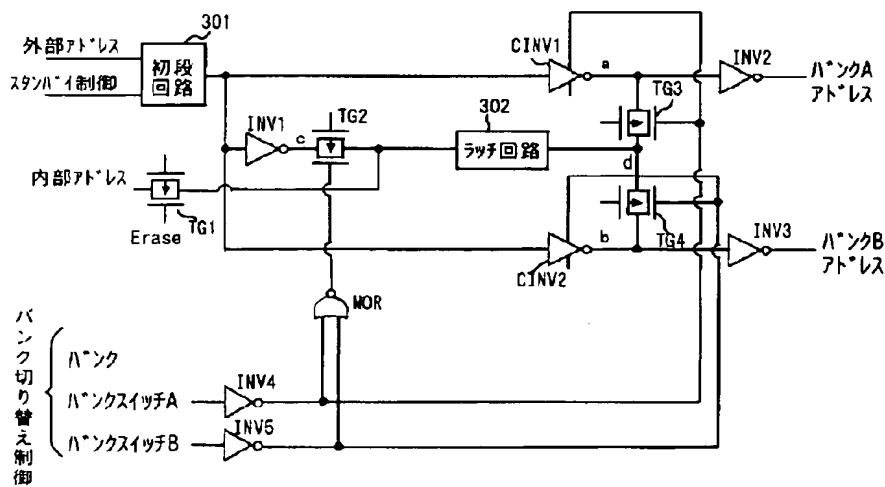
【図4】



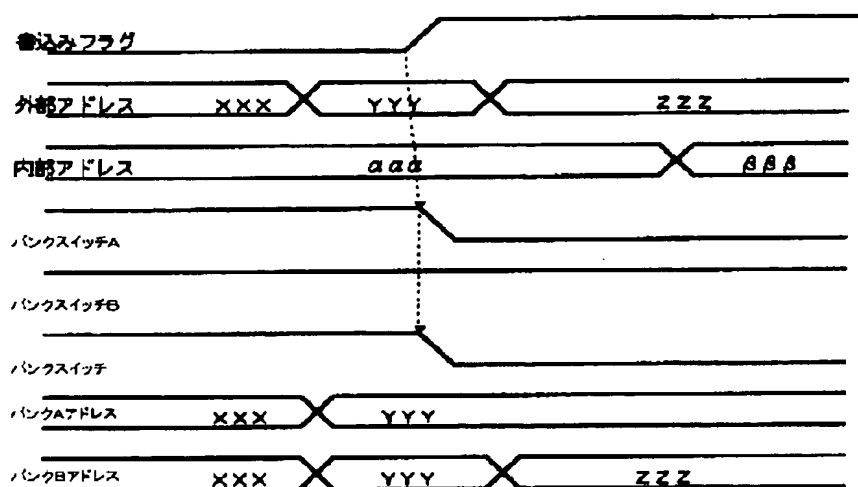
【図2】



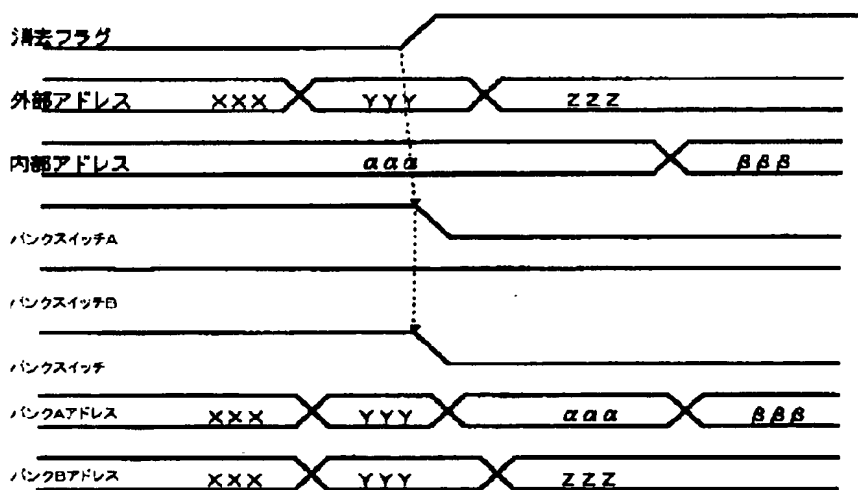
【図3】



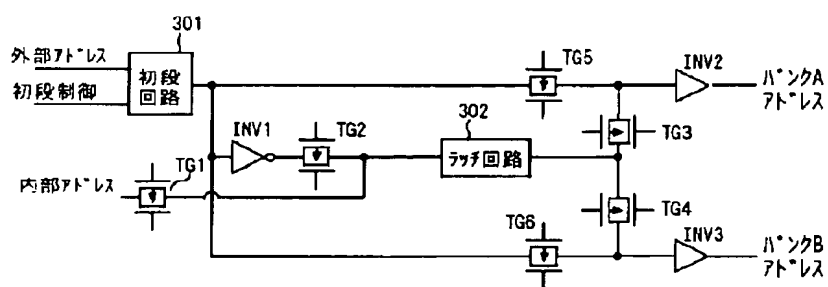
【図5】



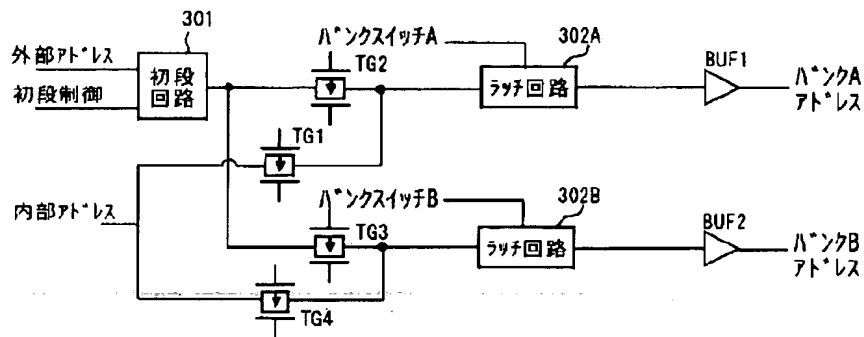
【図6】



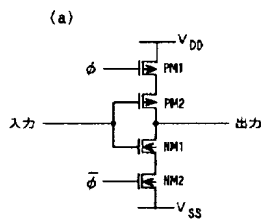
【図7】



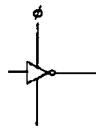
【図8】



【図9】



(b)



【図10】

